

PATENT ABSTRACTS OF JAPAN

B 2 2

(11)Publication number : 06-139346

(43)Date of publication of application : 20.05.1994

(51)Int.Cl.

G06F 15/66
H03M 7/40
H04N 1/41
H04N 7/133

(21)Application number : 04-284862

(71)Applicant : KANEBO LTD

(22)Date of filing : 23.10.1992

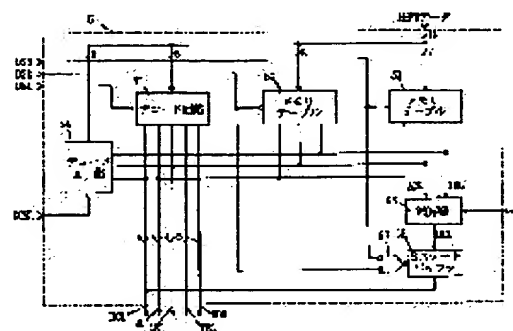
(72)Inventor : TANAKA MASABUMI

(54) HUFFMAN DECODING CIRCUIT AND METHOD THEREFOR

(57)Abstract:

PURPOSE: To provide the Huffman decoding circuit capable of high-speed operation and small in circuitry.

CONSTITUTION: Plural Huffman codes are divided into three groups by code length. Huffman codes whose number of bits is ≤ 6 are decoded by a decoding circuit 51 consisting of a logic circuit. Huffman codes whose number of bits is ≥ 7 and ≤ 12 are decoded by a memory table 52 consisting of a static RAM. Huffman codes whose number of bits is ≥ 13 and ≤ 16 are decoded by a memory table 53 consisting of a static RAM. Additional bit length data ABL is subtracted from total bit length data TBL outputted from each of memory tables 52 and 53 to calculate Huffman code length data HCL.



LEGAL STATUS

[Date of request for examination] 20.04.1995

[Date of sending the examiner's decision of rejection] 09.11.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3076461

[Date of registration] 09.06.2000

[Number of appeal against examiner's decision of rejection] 11-19711

[Date of requesting appeal against examiner's decision of rejection] 09.12.1999

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-139346

(43)公開日 平成 6 年(1994) 5 月20日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/66	3 3 0 H	8420-5L		
H 0 3 M 7/40		8522-5 J		
H 0 4 N 1/41	B	9070-5C		
7/133	Z			

審査請求 未請求 請求項の数 5 (全 17 頁)

(21)出願番号 特願平4-284862

(22)出願日 平成 4 年(1992)10月23日

(71)出願人 000000952

鐘紡株式会社

東京都墨田区墨田五丁目17番 4 号

(72)発明者 田中 正文

大阪市淀川区西宮原 3 丁目 3 番 1 -1324号

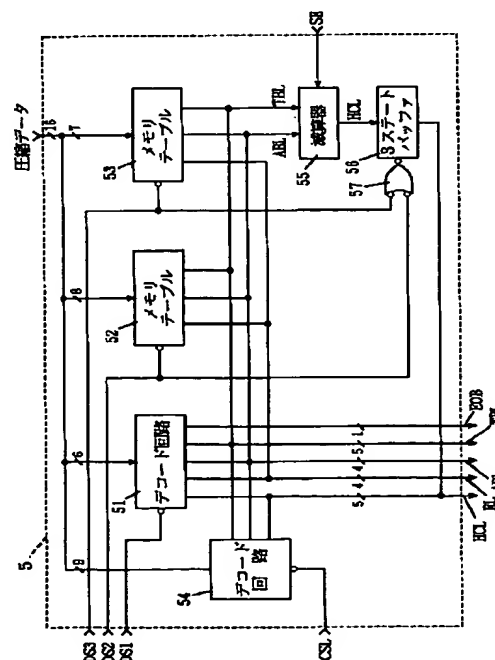
(74)代理人 弁理士 深見 久郎 (外 2 名)

(54)【発明の名称】 ハフマン復号化回路およびハフマン復号化方法

(57)【要約】

【目的】 高速動作が可能でかつ回路規模が小さいハフマン復号化回路を提供することである。

【構成】 複数のハフマン符号を符号長に基づいて3つのグループに分類する。6ビット以下のハフマン符号はロジック回路からなるデコード回路51によりデコードする。7ビット以上12ビット以下のハフマン符号は、スタティックRAMからなるメモリテーブル52によりデコードする。13ビット以上16ビット以下のハフマン符号は、スタティックRAMからなるメモリテーブル53によりデコードする。メモリテーブル52、53の各々から出力されるトータルビット長データTBLから付加ビット長データABLを減算することにより、ハフマン符号長データHCLが算出される。



【特許請求の範囲】

【請求項1】 複数のハフマン符号が符号長に基づいて複数のグループに分類され、前記複数のグループに対応して設けられかつ各々が対応するハフマン符号をデコードするための複数のデコード手段と、

与えられたハフマン符号の先頭ビットから連続する同一値のビット数に基づいて前記複数のデコード手段の1つを選択して活性化する選択手段とを備えた、ハフマン復号化回路。

【請求項2】 前記複数のデコード手段は、メモリ素子からなる第1のデコード手段およびロジック回路からなる第2のデコード手段を含み、

前記第1のデコード手段は長い符号長のハフマン符号を含むグループに割当てられ、前記第2のデコード手段は短い符号長のハフマン符号を含むグループに割当てられる、請求項1記載のハフマン復号化回路。

【請求項3】 前記複数のデコード手段の各々は、付加ビット長およびトータルビット長を含む復号化情報を出し、

前記付加ビット長および前記トータルビット長からハフマン符号長を算出する演算手段をさらに含む、請求項1記載のハフマン復号化回路。

【請求項4】 複数のハフマン符号を符号長に基づいて複数のグループに分類し、

与えられたハフマン符号をデコードする複数のデコード手段を前記複数のグループにそれぞれ割当て、

与えられたハフマン符号の先頭ビットから連続する同一値のビット数に基づいて前記複数のデコード手段の1つを選択して活性化する、ハフマン復号化方法。

【請求項5】 前記複数のデコード手段はメモリ素子からなる第1のデコード手段およびロジック回路からなる第2のデコード手段を含み、

前記第1のデコード手段を長い符号長のハフマン符号を含むグループに割当て、前記第2のデコード手段を短い符号長のハフマン符号を含むグループに割当て、請求の範囲4記載のハフマン復号化方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、ハフマン符号化方式により符号化されたハフマン符号を復号するためのハフマン復号化回路およびハフマン復号化方法に関する。

【0002】

*

$$S_{uv} = \frac{1}{4} C_u C_v \sum_{X=0}^7 \sum_{Y=0}^7 (P_{XY} - L_s) \cos \frac{(2X+1)U\pi}{16} \cos \frac{(2Y+1)V\pi}{16} \dots (1)$$

【0010】ここで、 S_{uv} はDCT係数を表わし、 U, V はDCT係数の位置を表わす。 $U=V=0$ の場合には $C_u = C_v = 1/\sqrt{2}$ となり、その他の場合には $C_u = C_v = 1$ となる。さらに、画素データ P_{xy} のビット精度が8ビットの場合には $L_s = 128$ となり、画素

*【従来の技術】画像データは非常に多くの情報量を含んでいる。そのため、画像データをそのままの形で処理するのは、メモリ容量および通信速度の点で実用的ではない。そこで、画像データ圧縮技術が重要となる。

【0003】画像データ圧縮の国際標準の1つとしてJPEG (Joint Photographic Expert Group) がある。JPEGでは、非可逆符号化を行なうDCT (離散コサイン変換) 方式と、二次元空間でDPCM (Differential PCM) を行なう可逆符号化方式が採用されている。

以下、DCT方式の画像データ圧縮を説明する。

【0004】(1) DCT方式の基本構成

図10は、DCT方式を実行するためのシステムの基本構成を示すブロック図である。

【0005】符号化側では、DCT装置100が、入力される原画像データにDCT変換を行ない、DCT係数を出力する。量子化器200は、量子化テーブル400を参照してDCT係数に量子化処理を行ない、量子化されたDCT係数 (以下、量子化DCT係数と呼ぶ) を出力する。エントロピー符号化器300は、符号化テーブル500を参照して量子化DCT係数にエントロピー符号化処理を行ない、圧縮データを出力する。エントロピー符号化の方式としてハフマン符号化方式が用いられる。

【0006】復号化側では、エントロピー復号器600が、符号化テーブル500を参照して圧縮データにエントロピー復号化処理を行ない、量子化DCT係数を出力する。逆量子化器700は、量子化テーブル400を参照して量子化DCT係数に逆量子化処理を行ない、DCT係数を出力する。逆DCT装置800は、DCT係数に逆DCT変換を行ない、再生画像データを出力する。

【0007】(2) DCT変換

次に、DCT変換を説明する。まず、図11に示すように、画像データを複数の 8×8 画素ブロックに分割する。図12に示すように、1つの 8×8 画素ブロック内の各画素データの値を P_{xy} 、($X, Y=0, \dots, 7$) で示す。ここで、 X, Y がブロック内の画素データの位置を表わしている。

【0008】分割された各 8×8 画素ブロックに対して次式による二次元DCT変換を行なう。

【0009】

【数1】

データ P_{xy} のビット精度が12ビットの場合には $L_s = 2048$ となる。

【0011】DCT変換の結果、64個のDCT係数 S_{uv} が得られる。DCT係数 S_{00} はDC係数と呼ばれ、残りの63個のDCT係数はAC係数と呼ばれる。

【0012】DC係数は8×8画素データの平均値（直流成分）を示している。式（1）に示されるように、各画素データ $P_{x,y}$ より L_s を引くことにより、DC係数の期待値を0にレベルシフトしている。

【0013】図12に示すように、DCT変換されたブロックの左上および右下がそれぞれDCT係数 $S_{0,0}$ 、 $S_{1,1}$ に対応している。DCT変換されたブロックの左から右に進むにつれて高周波の水平周波数成分を多く含*

※み、上から下に進むにつれて高周波の垂直周波数成分を多く含むことになる。

【0014】一方、次式に示す逆DCT変換によりDCT係数 $S_{u,v}$ から64個の画素データ $P_{x,y}$ （ $X, Y = 0, \dots, 7$ ）を得ることができる。

【0015】

【数2】

$$P_{XY} = \frac{1}{4} \sum_{U=0}^7 \sum_{V=0}^7 C_U C_V S_{UV} \cos \frac{(2X+1)U\pi}{16} \cos \frac{(2Y+1)V\pi}{16} + L_s \quad \dots (2)$$

【0016】式（2）に示されるように、各画素データに L_s を加えることにより、レベルシフト分を元に戻している。

【0017】図13に、8×8画素ブロックの一例およびその画素ブロックをDCT変換した結果を示す。図13からわかるように、DC係数および低周波成分のAC係数の絶対値が大きくなっている。たとえば、DC係数※

※ $S_{0,0}$ は260、AC係数 $S_{1,1}$ は49、AC係数 $S_{1,0}$ は-79である。

【0018】（3） 量子化

DCT係数 $S_{u,v}$ は係数位置ごとに異なる量子化テーブル $Q_{u,v}$ を用いて次式により線形量子化され、量子化DCT係数 $r_{u,v}$ が得られる。

【0019】

$$r_{u,v} = \text{round} (S_{u,v} / Q_{u,v}) \quad \dots (3)$$

roundは、最も近い整数への整数化を意味する。図14に、量子化DCT係数 $r_{u,v}$ 、DCT係数 $S_{u,v}$ および量子化テーブル $Q_{u,v}$ の関係が示される。

20★述のハフマン復号化で得られた量子化DCT係数を $r_{u,v}$ とすると、次式により逆量子化を行なう。

【0021】

【0020】復号化側では、逆量子化が行なわれる。後★

$$S_{u,v} = r_{u,v} \times Q_{u,v}$$

…（4）

量子化テーブル $Q_{u,v}$ の値を変化させることにより画質を制御することができる。量子化テーブル $Q_{u,v}$ の値を小さく設定すると、量子化DCT係数 $r_{u,v}$ の値が大きくなり、画質のよい画像を符号化することができる。逆に、量子化テーブル $Q_{u,v}$ の値を大きく設定すると、量子化DCT係数 $r_{u,v}$ の値が小さくなり、符号化情報量

30 図17に、DC係数のハフマン符号化のフロー図を示す。DC係数のハフマン符号化では、1つ前のブロックのDC係数 $D_{1,1}$ と現在のブロックのDC係数 $D_{1,1}$ との差分の値（DC差分値） $\Delta DC_{1,1}$ を符号化する。上述したように、DC係数は8×8画素ブロックの画素データの平均値を示している。したがって、コンピュータグラフィック画像のような特殊な画像を除いて、隣接するブロックのDCT係数が大きく変化することはあまりない。そのため、DC差分値は0の近傍に集中する。DC差分値を符号化することにより高能率な符号化が期待で

【0022】このように、量子化テーブル $Q_{u,v}$ の値を変えることにより、画質および符号化情報量を自由に制御することができる。

【0023】図15に量子化テーブルの一例を示す。一般に、人間の視覚はローパスフィルタの特性を持っているといわれており、高周波成分には鈍感である。したがって、高周波成分に対応するDCT係数には荒い量子化を行なってもその影響があまり目立たない。そのため、図15に示すように、量子化テーブルの高周波成分には

40 大きな値が設定されている。

【0024】図16は、図13に示されるDCT係数に対して図15に示される量子化テーブルを用いて量子化を行なった結果を示す。たとえば、 $S_{0,0} = 260$ 、 $Q_{0,0} = 16$ であるので、 $r_{0,0} = \text{round} (260 / 16) = 16$ となる。また、 $S_{1,1} = 49$ 、 $Q_{1,1} = 11$ であるので、 $r_{1,1} = \text{round} (49 / 11) = 4$ となる。さらに、 $S_{1,0} = -79$ 、 $Q_{1,0} = 12$ であるので、 $r_{1,0} = \text{round} (49 / 12) = -7$ となる。

50 【0028】DC差分値は、図20に示すハフマン符号

テーブルを用いてハフマン符号に符号化される。たとえば、グループ番号SSSSが“2”であるDC差分値にはハフマン符号“011”が割当てられ、グループ番号SSSSが“3”であるDC差分値にはハフマン符号“100”が割当てられている。

【0029】たとえば、グループ番号“2”には8個のDC差分値-7~-4、4~7が含まれるので、3ビットの付加ビットにより8個のDC差分値のうち1つが特定される。付加ビットはDC差分値の小さい方から順に小さい値が割当てられる。たとえば、グループ番号“2”の場合には、DC差分値-7に付加ビット“000”を割当て、DC差分値-6に付加ビット“001”を割当て、DC差分値7に“111”を割当てる。

【0030】前のブロックのDC係数が25であり、現在のブロックのDC係数が16であるとすれば、DC差分値は-9となる。図19のテーブルより、DC差分値-9のグループ番号SSSSは“4”である。したがって、図20のハフマン符号テーブルにより、グループ番号“4”のハフマン符号は“101”となる。DC差分値-9はグループ番号“4”に属するDC差分値のうち小さい方から7番目であるため、図20に示すように、付加ビットは“0110”となる。

【0031】(b) AC係数の符号化

図22に、AC係数のハフマン符号化のフロー図を示す。AC係数のハフマン符号化では、図23に示すように、AC係数が、まずジグザグスキャンによって一次元に配列される。この一次元に配列されたAC係数は、以下に説明するように、連続する“0”の係数(無効係数)の長さを示すラン長と“0”以外の係数(有効係数)の値とを用いて符号化される。すなわち、無効係数のラン長NNNNと有効係数のグループ番号SSSSとを用いてハフマン符号化される。

【0032】AC係数は、図24に示すテーブルに従ってグループ分けされる。図24に示すように、グループ番号SSSSは有効係数が属するグループを限定するだけである。1つのグループに属する有効係数のうちの1つを特定するために、付加ビットが用いられる。AC係数のハフマン符号化では、ラン長NNNNとグループ番号SSSSとの組合せに対してハフマン符号が割当てられる。図25に、AC係数のためのハフマン符号テーブルを示す。そのハフマン符号テーブルを用いて、ラン長/グループ番号がハフマン符号に符号化される。

【0033】ブロック内の最後のAC係数が0のときには、最後の有効係数に対応するハフマン符号の直後に“EOB”(End of Block)を付け、そのブロックのハフマン符号化を終了する。ただし、ブロック内の最後のAC係数が0以外のときには、“EOB”は付けない。また、無効係数のラン長が“15”を越える場合には、16の無効係数ごと無効係数のラン長16を表わす“ZRL”を残りのラン長が15以下になる

まで続けて付けた後、残りのラン長をNNNNとしてハフマン符号化する。

【0034】たとえば、図16に示されるAC係数のハフマン符号化を説明する。まず、最初のAC係数の有効係数は $r_{0,1} = 4$ である。図24のテーブルより、グループ番号SSSSは“3”となる。また、無効係数のラン長NNNNは0である。したがって、図25のハフマン符号テーブルより、ハフマン符号は“100”となる。図26に示すように、有効係数4はグループ番号“3”に属するAC係数のうち小さい方から5番目であるので、付加ビットは“100”となる。よって、有効係数 $r_{0,1}$ は“100100”と符号化される。

【0035】次の有効係数は $r_{1,0} = -7$ である。グループ番号SSSSは“3”であり、無効係数のラン長NNNNは0である。図26に示すように、有効係数-7はグループ番号“3”に属するAC係数のうち最も小さいので、付加ビットは“000”となる。よって、有効係数 $r_{1,0}$ は“100000”と符号化される。

【0036】ジグザグスキャンによって、次の有効係数は $r_{1,1} = 3$ である。図24のテーブルよりグループ番号SSSSは“2”となる。この場合、AC係数 $r_{2,0}$ が0であるので、ラン長NNNNは1となる。したがって、図25のハフマン符号テーブルよりハフマン符号は“11011”となる。図26に示すように、有効係数3はグループ番号“2”に属するAC係数のうち最も大きいので、付加ビットは“11”となる。よって、AC係数 $r_{2,0}, r_{1,1}$ は“1101111”と符号化される。

【0037】図27に、上記のハフマン符号例を示す。図27に示すように、8×8画素ブロックの64個の画素データを、連続する符号化データ(圧縮データ)に符号化することができる。

【0038】図28に示すように、各圧縮データは可変長のハフマン符号および可変長の付加ビットからなる。ハフマン符号の長さをハフマン符号長と呼び、付加ビットの長さを付加ビット長と呼ぶ。また、ハフマン符号長と付加ビット長との合計をトータルビット長と呼ぶ。ハフマン符号長および付加ビット長は各圧縮データによって異なる。

【0039】(5) 従来のハフマン復号化回路
図29は、従来のハフマン復号化回路の主要部の構成を示すブロック図である。

【0040】図29において、連続する圧縮データの32ビットが、ラッチイネーブル機能を有する32ビットのレジスタ1に並列に与えられる。レジスタ1の出力データは、同様にラッチイネーブル機能を有する32ビットのレジスタ2に与えられる。レジスタ2の出力データおよびレジスタ1の出力データは、64ビットのパレルシフタ3に並列に与えられる。パレルシフタ3は、与えられたデータを最大32ビットまでビットシフトする機

能を有する。

【0041】バレルシフト3に保持されるデータの先頭の16ビットは、メモリテーブル12に与えられる。メモリテーブル12は、与えられた16ビットのデータに基づいて、トータルビット長データTBL、エンドオブブロック符号EOB、ラン長データRL、付加ビット長データABLおよびハフマン符号長データHCLを出力する。

【0042】5ビットの加算器6は、メモリテーブル12から与えられるトータルビット長データTBLを累積加算してバレルシフト3のシフト量を算出する。加算器6は、累積加算結果が32以上になるとキャリー信号CRを出力する。5ビットのレジスタ7は、加算器6の出力データをラッチする。デコーダ8は、レジスタ7の出力データをデコードしてバレルシフト3のシフト量を制御する。

【0043】一方、レジスタ9は、メモリテーブル12から出力されるエンドオブブロック符号EOB、ラン長データRL、付加ビット長データABLおよびハフマン符号長データHCLならびにバレルシフト3に保持される先頭の32ビットのデータをラッチする。付加ビット抽出回路10は、レジスタ9から出力される付加ビット長データABLおよびハフマン符号長データHCLに基づいて32ビットのデータから付加ビットABを抽出する。

【0044】コントロール回路13は、加算器6からのキャリー信号CRを受け、レジスタ1、2にラッチイネーブル信号LE1を与え、レジスタ7、9にラッチイネーブル信号LE2を与える。また、コントロール回路13は、メモリテーブル12の読出動作を制御する制御信号CNTを発生する。

【0045】レジスタ1、2、7、9およびコントロール回路13にはクロック信号CKが与えられ、レジスタ7およびコントロール回路13にはリセット信号RSTが与えられる。

【0046】次に、図29のハフマン復号化回路の動作を説明する。まず、リセット信号RSTによりコントロール回路13がリセットされ、かつレジスタ7の内容が0にクリアされる。それにより、デコーダ8から出力されるバレルシフト3のシフト量が0に設定される。

【0047】まず、DCハフマン符号（DC係数に対応するハフマン符号）がデコードされる。コントロール回路13からのイネーブル信号LE1によりレジスタ2に圧縮データの最初の32ビットがラッチされ、レジスタ1に圧縮データの次の32ビットがラッチされる。それにより、バレルシフト3にレジスタ2から出力される最初の32ビットの圧縮データおよびレジスタ1から出力される次の32ビットの圧縮データが与えられる。

【0048】バレルシフト32内の圧縮データの先頭の16ビットが、アドレス信号としてメモリテーブル12

に与えられる。コントロール回路13からの制御信号CNTにตอบสนองしてメモリテーブル12の読出動作が行なわれる。それにより、先頭の16ビットのデータに含まれるDCハフマン符号に対応するハフマン符号長データHCL、付加ビット長データABLおよびトータルビット長データTBLが出力される。トータルビット長データTBLは、加算器6に与えられ、累積加算される。

【0049】次に、コントロール回路13は、レジスタ7、9にラッチイネーブル信号LE2を与える。レジスタ7は、ラッチイネーブル信号LE2にตอบสนองして加算器6の累積加算結果をラッチしてデコーダ8に与える。デコーダ8は、レジスタ7からの累積加算結果をデコードしてバレルシフト3にシフト量を示すシフト信号を与える。バレルシフト3は、圧縮データを累積加算結果分ビットシフトする。

【0050】レジスタ9は、ラッチイネーブル信号LE2にตอบสนองして、メモリテーブル12から読出されたハフマン符号長データHCLおよび付加ビット長データABLならびにバレルシフト3から出力される32ビットのデータをラッチして出力する。付加ビット抽出回路10は、ハフマン符号長データHCLおよび付加ビット長データABLに基づいて、32ビットのデータから付加ビットABを抽出する。このようにして、DCハフマン符号のデコードが終了する。

【0051】同様に、ACハフマン符号（AC係数に対応するハフマン符号）がデコードされる。ACハフマン符号のデコード時には、メモリテーブル12から、ハフマン符号長データHCL、付加ビット長データABL、ラン長データRLおよびトータルビット長データTBLが出力される。

【0052】その間、加算器6の累積加算結果が32以上になると、加算器6からキャリー信号CRが出力される。コントロール回路13は、キャリー信号CRにตอบสนองして、レジスタ1にラッチイネーブル信号LE1を与える。それにより、バレルシフト3の後半の32ビットに新たな32ビットの圧縮データが与えられる。

【0053】このようにして、メモリテーブル12からエンドオブブロック符号EOBが読出されるまで、ACハフマン符号のデコードが続けられる。

【0054】上記のようにして得られた付加ビットABおよびラン長データRLに基づいて量子化DCT係数を得ることができる。

【0055】

【発明が解決しようとする課題】従来のハフマン復号化回路において、ハフマン符号化の速度は、バレルシフト3、加算器6、デコーダ8およびメモリテーブル12を構成するハードウェアの動作速度により決定される。これらのうち、メモリテーブル12のアクセス時間が、ハフマン符号化処理の高速化の妨げとなっている。

【0056】また、メモリテーブル12には、ハフマン

10

20

30

40

50

符号の最大符号長に等しい16ビットの圧縮データがアドレス信号として与えられる。そのため、メモリテーブル12のアドレス空間は 2^{16} ワードとなる。このように、メモリテーブル12の容量が非常に大きくなる。

【0057】そこで、最大符号長の前半のビットおよび後半のビットでメモリテーブルを分割することにより必要なメモリ容量を減らすことが行なわれている。しかし、それでも、ハフマン符号の数の約5〜6倍のメモリ容量が必要となる。このように、依然としてハフマン復号化回路の回路規模は大きい。

【0058】この発明の目的は、小さい回路規模で高速にハフマン復号化処理を行なうことができるハフマン復号化回路およびハフマン復号化方法を提供することである。

【0059】

【課題を解決するための手段】この発明にかかるハフマン復号化回路は、複数のデコード手段および選択手段を備える。複数のハフマン符号は符号長に基づいて複数のグループに分類される。複数のデコード手段は、複数のグループに対応して設けられかつ各々が対応するグループ内のハフマン符号をデコードする。選択手段は、与えられたハフマン符号の先頭ビットから連続する同一値のビット数に基づいて複数のデコード手段の1つを選択して活性化する。

【0060】複数のデコード手段は、メモリ素子からなる第1のデコード手段およびロジック回路からなる第2のデコード手段を含んでもよい。第1のデコード手段は長い符号長のハフマン符号を含むグループに割り当てられ、第2のデコード手段は短い符号長のハフマン符号を含むグループに割り当てられる。

【0061】複数のデコード手段の各々は、付加ビット長およびトータルビット長を出力する。付加ビット長およびトータルビット長からハフマン符号長を算出する演算手段をさらに含んでもよい。

【0062】この発明に係るハフマン復号化方法は次のステップを含む。複数のハフマン符号を符号長に基づいて複数のグループに分類する。与えられたハフマン符号をデコードする複数のデコード手段を複数のグループにそれぞれ割り当てる。与えられたハフマン符号の先頭ビットから連続する同一値のビット数に基づいて複数のデコード手段の1つを選択して活性化する。

【0063】複数のデコード手段は、メモリ素子からなる第1のデコード手段およびロジック回路からなる第2のデコード手段を含んでもよい。第1のデコード手段を長い符号長のハフマン符号を含むグループに割り当て、第2のデコード手段を短い符号長のハフマン符号を含むグループに割り当てる。

【0064】

【作用】この発明に係るハフマン復号化回路およびハフマン復号化方法においては、複数のハフマン符号が符号

長に基づいて複数のグループに分類され、複数のグループに複数のデコード手段がそれぞれ割り当てられる。それにより、デコード手段の全体の容量および回路規模が小さくなる。

【0065】ハフマン符号の性質に着目すると、長い符号長のハフマン符号では先頭ビットからあるビットまで同一値が連続し、短い符号長のハフマン符号では先頭ビットからあるビットまでに異なる値が混在する。

【0066】この性質を利用すると、先頭ビットから連続する同一値のビット数に基づいて、与えられたハフマン符号がどのグループに属するかを判別することができ、そのグループに割り当てられたデコード手段を選択することができる。

【0067】ハフマン符号化方式においては、出現頻度の高いデータには短い符号長のハフマン符号が割り当てられ、出現頻度の低いデータには長い符号長のハフマン符号が割り当てられる。

【0068】一方、ロジック回路により構成されるデコード手段は、動作速度は速いが回路規模が比較的大きくなる。それに対して、メモリ素子により構成されるデコード手段は、動作速度は速くないが、回路規模は比較的小さくなる。

【0069】したがって、出現頻度の高い短い符号長のハフマン符号を高速動作が可能なロジック回路によりデコードし、出現頻度の低い長い符号長のハフマン符号を回路規模が小さいメモリ素子によりデコードすると、全体として、高速動作が可能でかつ回路規模が小さい復号化回路が得られる。

【0070】また、付加ビット長およびトータルビット長からハフマン符号長を算出する演算手段をさらに設ければ、各デコード手段が付加ビット長、トータルビット長およびハフマン符号長を出力する場合に比べて、各デコード手段の回路規模が小さくなる。

【0071】

【実施例】以下、この発明の一実施例によるハフマン復号化回路およびハフマン復号化装置を図面を参照しながら詳細に説明する。

【0072】この実施例のハフマン復号化回路およびハフマン復号化方法では、図1に示すようにハフマン符号がハフマン符号長に基づいて3つのグループG1、G2、G3に分類される。

【0073】ハフマン符号長が6ビット以下のハフマン符号はグループG1に割り当てられ、ハフマン符号長が7ビット以上12ビット以下のハフマン符号はグループG2に割り当てられ、ハフマン符号長が13ビット以上16ビット以下のハフマン符号はグループG3に割り当てられる。

【0074】ハフマン符号は次のような規則性を有する。6ビット以下のハフマン符号では、先頭ビットから第4ビットまでに少なくとも1つの“0”が存在する。

また、7ビット以上12ビット以下のハフマン符号では、先頭ビットから第4ビットまでがすべて“1”でありかつ第5ビットから最終ビットまでに少なくとも1つの“0”が存在する。さらに、13ビット以上16ビット以下のハフマン符号では、先頭ビットから第9ビットまでがすべて“1”となっている。

【0075】この規則性を利用することによって、与えられたハフマン符号がグループG1、G2、G3のいずれに属するかを判別することができる。

【0076】グループG1に属するハフマン符号は高速のロジック回路からなるデコード回路によりデコードされ、グループG2、G3に属するハフマン符号はRAM（ランダムアクセスメモリ）からなるメモリテーブルによりデコードされる。

【0077】図2に示すように、デコード回路には、グループG1のハフマン符号を含む圧縮データの先頭ビットから第6ビットまでが入力される。

【0078】グループG2のハフマン符号については先頭ビットから第4ビットまでがすべて“1”であるので、第5ビットから第12ビットまでを用いて1つのハフマン符号を特定することができる。そのため、メモリテーブルには、グループG2のハフマン符号を含む圧縮データの第5ビットから第12ビットまでがアドレス信号として与えられる。

【0079】グループG3のハフマン符号については先頭ビットから第9ビットまでがすべて“1”であるので、第10ビットから第16ビットまでを用いて1つのハフマン符号を特定することができる。そのため、メモリテーブルには、グループG3のハフマン符号を含む圧縮データの第10ビットから第16ビットまでがアドレス信号として与えられる。

【0080】上記のようにグループ分けすることによって、デコード回路の回路規模が小さくなり、かつ各メモリテーブルに必要なメモリ容量が小さくなる。

【0081】また、出現頻度の高い6ビット以下のハフマン符号を高速のロジック回路によりデコードすることによって、ハフマン復号化回路の全体の処理速度が高速化する。なお、シミュレーションによれば、6ビット以下のハフマン符号の出現頻度は約85%である。

【0082】図3は、この実施例によるハフマン復号化回路の主要部の構成を示すブロック図である。

【0083】図3のハフマン復号化回路が図29のハフマン復号化回路と異なるのは、メモリテーブル12の代わりにデコーダ4およびデコーダブロック5が設けられ、コントロール回路13の代わりにコントロール回路11が設けられている点である。

【0084】図3において、圧縮データの32ビットは、ラッチイネーブル機能を有する32ビットのレジスタ1に並列に与えられる。レジスタ1の出力データは、同様にラッチイネーブル機能を有する32ビットのレジ

スタ2に与えられる。レジスタ2の出力データおよびレジスタ1の出力データは、64ビットのバレルシフタ3に並列に与えられる。バレルシフタ3は、与えられたデータを最大32ビットまでビットシフトする機能を有する。

【0085】バレルシフタ3に保持されるデータの先頭の16ビットは、デコーダ4およびデコーダブロック5に与えられる。デコーダ4は、バレルシフタ3から与えられる16ビットのデータに基づいて、与えられたデータが6ビット以下のハフマン符号（グループG1）を含むか、7ビット以上12ビット以下のハフマン符号（グループG2）を含むかあるいは13ビット以上16ビット以下のハフマン符号（グループG3）を含むかを検出し、デコーダ選択信号DS1、DS2、DS3を発生する。

【0086】ただし、デコーダ4は、コントロール回路11から与えられるDC符号選択信号DCSLがアクティブ状態のときには、デコーダ選択信号DS1、DS2、DS3を出力しない。

【0087】デコーダブロック5は、デコーダ選択信号DC1、DC2、DC3に応答して、バレルシフタ3から与えられる16ビットのデータをデコードし、トータルビット長データTBL、エンドオブブロック符号EOB、ラン長データRL、付加ビット長データABLおよびハフマン符号長データHCLを発生する。

【0088】5ビットの加算器6は、デコーダブロック5から与えられるトータルビット長データTBLを累積加算してバレルシフタ3のシフト量を算出する。加算器6は、累積加算結果が32以上になると、キャリー信号CRを出力する。5ビットのレジスタ7は、加算器6の出力データをラッチする。デコーダ8は、レジスタ7の出力データをデコードしてバレルシフタ3のシフト量を制御する。

【0089】一方、レジスタ9は、デコーダブロック5から出力されるエンドオブブロック符号EOB、ラン長データRL、付加ビット長データABLおよびハフマン符号長データHCLならびにバレルシフタ3から出力される先頭の32ビットのデータをラッチする。付加ビット抽出回路10は、レジスタ9から出力される付加ビット長データABLおよびハフマン符号長データHCLに基づいて、バレルシフタ3から出力される32ビットのデータから付加ビットABを抽出する。

【0090】コントロール回路11は、デコーダ4により発生されるデコーダ選択信号DC1および加算器6から出力されるキャリー信号CRを受け、レジスタ1、2にラッチイネーブル信号LE1を与え、レジスタ7、9にラッチイネーブル信号LE2を与える。

【0091】レジスタ1、2、7、9およびコントロール回路11にはクロック信号CKが与えられ、レジスタ7およびコントロール回路11にはリセット信号RST

が与えられる。

【0092】図4は、デコーダブロック5の詳細な構成を示すブロック図である。デコーダブロック5は、デコード回路51、メモリテーブル52、メモリテーブル53、デコード回路54、減算器55、3ステートバッファ56およびゲート回路57を含む。

【0093】デコード回路51、54は高速動作が可能なロジック回路により構成され、メモリテーブル52、53はRAMにより構成される。

【0094】デコード回路51には、16ビットの圧縮データの先頭ビットから第6ビットまでが与えられる。メモリテーブル52には、16ビット圧縮データの第5ビットから第12ビットまでが与えられる。メモリテーブル53には、16ビットの圧縮データの第10ビットから第16ビットまでが与えられる。デコード回路54には、16ビットの圧縮データの先頭ビットから第9ビットまでが与えられる。

【0095】デコード回路51は、デコーダ選択信号DS1に応答して活性化され、6ビット以下のACハフマン符号をデコードして、ハフマン符号長データHCL、ラン長データRL、付加ビット長データABL、トータルビット長データTBLおよびエンドオブブロック符号EOBを出力する。メモリテーブル52は、デコーダ選択信号DC2に応答して活性化され、7ビット以上12ビット以下のACハフマン符号をデコードして、ラン長データRL、付加ビット長データABLおよびトータルビット長データTBLを出力する。メモリテーブル53は、デコーダ選択信号DS3に応答して活性化され、13ビット以上16ビット以下のACハフマン符号をデコードして、ラン長データRL、付加ビット長データABLおよびトータルビット長データTBLを出力する。

【0096】デコード回路54は、DC符号選択信号DCSLに応答して活性化され、DCハフマン符号をデコードして、ハフマン符号長データHCL、付加ビット長データABLおよびトータルビット長データTBLを出力する。

【0097】減算器55は、メモリテーブル52、53から出力されるトータルビット長データTBLから付加ビット長データABLを減算し、ハフマン符号長データHCLを出力する。減算器55から出力されるハフマン符号長データHCLは3ステートバッファ56に与えられる。一方、ゲート回路57の一方の入力端子にはデコーダ選択信号DC2が与えられ、他方の入力端子にはデコーダ選択信号DS3が与えられる。3ステートバッファ56はゲート回路57の出力信号により制御される。

【0098】デコーダ選択信号DC2、DC3のいずれかがアクティブ状態になると、3ステートバッファ56は同通状態となり、デコーダ選択信号DC2、DC3の両方が非アクティブ状態になると、3ステートバッファ56は高インピーダンス状態になる。

【0099】次に、図3および図4に示されるハフマン復号化回路の動作を説明する。まず、リセット信号RSTによりコントロール回路11がリセットされ、かつレジスタ7の内容が0にクリアされる。それにより、デコーダ8から出力されるバレルシフタ3のシフト量が0に設定される。

【0100】まず、DCハフマン符号がデコードされる。コントロール回路11は、DC符号選択信号CDSLをアクティブ状態にする。このとき、デコーダ4から発生されるデコーダ選択信号DC1、DC2、DC3はすべて非アクティブ状態となっている。それにより、デコーダブロック5内のデコード回路54が活性状態になり、デコード回路51およびメモリテーブル52、53が非活性状態になる。

【0101】次に、コントロール回路11からのラッチイネーブル信号LE1によりレジスタ2に圧縮データの最初の32ビットがラッチされ、レジスタ1に圧縮データの次の32ビットがラッチされる。それにより、バレルシフタ3に、レジスタ2から出力される最初の32ビットの圧縮データおよびレジスタ1から出力される次の32ビットの圧縮データが与えられる。

【0102】バレルシフタ32内の圧縮データの先頭の16ビットはデコーダ4およびデコーダブロック5に与えられる。デコーダブロック5内のデコード回路51により16ビットの圧縮データに含まれるDCハフマン符号がデコードされ、ハフマン符号長データHCL、付加ビット長データABLおよびトータルビット長データTBLが出力される。トータルビット長データTBLは加算器6に与えられ、累積加算される。

【0103】コントロール回路11は、デコーダ4から出力されるデコード終了信号(図示せず)に回答してラッチイネーブル信号LE1、LE2のタイミングを制御する。コントロール回路11は、デコーダ4からデコード終了信号を受けると、直ちにレジスタ7、9にラッチイネーブル信号LE2を与える。

【0104】レジスタ7は、ラッチイネーブル信号LE2に回答して、加算器6の累積加算結果をラッチしてデコーダ8に与える。デコーダ8は、レジスタ7からの累積加算結果をデコードして、バレルシフタ3にシフト量を示すシフト信号を与える。バレルシフタ3は、圧縮データを累積加算結果分ビットシフトする。

【0105】レジスタ9は、ラッチイネーブル信号LE2に回答して、デコーダブロック5から出力されるハフマン符号長データHCLおよび付加ビット長データABLならびにバレルシフタ3から出力される32ビットの圧縮データをラッチして出力する。付加ビット抽出回路10は、レジスタ9から与えられるハフマン符号長データHCLおよび付加ビット長データABLに基づいて、32ビットの圧縮データから付加ビットABを抽出して出力する。

【0106】DCハフマン符号のデコードが終了すると、コントロール回路11は、DC符号選択信号DCSLを非アクティブ状態にする。それにより、デコーダ4は、バレルシフタ3から与えられる16ビットの圧縮データに基づいて、デコーダ選択信号DS1、DS2、DS3の1つをアクティブ状態にする。

【0107】デコーダ選択信号DS1がアクティブ状態になると、デコーダブロック5内のデコード回路51により圧縮データに含まれるACハフマン符号がデコードされ、ハフマン符号長データHCL、ラン長データR

10

L、付加ビット長データABLおよびトータルビット長データTBLが出力される。

【0108】デコーダ選択信号DS2がアクティブ状態になると、デコーダブロック5内のメモリテーブル52から、圧縮データに含まれるACハフマン符号に対応するラン長データRL、付加ビット長データABLおよびトータルビット長データTBLが読出される。

【0109】デコーダ選択信号DC3がアクティブ状態になると、デコーダブロック5内のメモリテーブル53から、圧縮データに含まれるACハフマン符号に対応するラン長データRL、付加ビット長データABLおよびトータルビット長データTBLが読出される。

20

【0110】デコーダ選択信号DS2、DS3がアクティブ状態のときには、コントロール回路11から減算器55に与えられるイネーブル信号SEがアクティブ状態になり、減算器55が活性化される。減算器55は、トータルビット長データTBLから付加ビット長データABLを減算し、ハフマン符号長データHCLを3ステートバッファ56に与える。このとき、ゲート回路57の出力信号はアクティブ状態となっているので、3ステートバッファ56は同通状態となる。したがって、ハフマン符号長データHCLが3ステートバッファ56から出力される。減算器55の演算は加算器6の演算と並列に行なわれるので、減算器55の演算により処理時間が増大することはない。このように減算器55を用いてハフマン符号長データHCLを算出することによりメモリテーブル52、53のメモリ容量を削減することが可能となる。

【0111】コントロール回路11は、デコーダ4からデコード終了信号を受けると、レジスタ7、9にラッチイネーブル信号LE2を与える。レジスタ7は、ラッチイネーブル信号LE2にตอบสนองして、加算器6の累積加算結果をラッチしてデコーダ8に与える。デコーダ8は、レジスタ7から与えられる累積加算結果をデコードして、バレルシフタ3にシフト量を示すシフト信号を与える。バレルシフタ3は、圧縮データを累積加算結果分ビットシフトする。

【0112】レジスタ9は、ラッチイネーブル信号LE2にตอบสนองして、デコーダブロック5から出力されるハフマン符号長データHCL、付加ビット長データABLお

50

よびラン長データRLならびにバレルシフタ3から出力される32ビットの圧縮データをラッチして出力する。付加ビット抽出回路10は、レジスタ9から出力されるハフマン符号長データHCLおよび付加ビット長データABLに基づいて、32ビットの圧縮データから付加ビット長ABを抽出して出力する。

【0113】その間、加算器6の累積加算結果が32以上になると、加算器6からキャリー信号CRが出力される。コントロール回路11は、キャリー信号CRにตอบสนองして、レジスタ1にラッチイネーブル信号LE1を与える。これにより、バレルシフタ3の後半の32ビットに新たな32ビットの圧縮データが与えられる。

【0114】このようにして、デコーダブロック5内のデコード回路51からエンドオブブロック符号EOBが出力されるまで、ACハフマン符号のデコードが続けられる。

【0115】図5は、デコーダ4の構成を示す回路図である。デコーダ4は、4入力ANDゲート41、6入力NANDゲート42および2入力NANDゲート43を含む。

【0116】ANDゲート41の4つの入力端子には、16ビットの圧縮データの先頭ビットから第4ビットまでが与えられる。ANDゲート41の出力端子からデコーダ選択信号DS1が出力される。NANDゲート42の1つの入力端子にはANDゲート41の出力信号が与えられ、残りの5つの入力端子には16ビットの圧縮データの第5ビットから第9ビットまでが与えられる。NANDゲート42の出力端子からデコーダ選択信号DS3が出力される。NANDゲート43の一方の入力端子にはNANDゲート42の出力信号が与えられ、他方の入力端子にはANDゲート41の出力信号が与えられる。NANDゲート43の出力端子からデコーダ選択信号DS2が出力される。

30

【0117】16ビットの圧縮データの先頭ビットから第4ビットまでの少なくとも1つが“0”であれば、ANDゲート41から出力されるデコーダ選択信号DS1がローレベル（アクティブ状態）となる。このとき、NANDゲート42から出力されるデコーダ選択信号DS3およびNANDゲート43から出力されるデコーダ選択信号DS2はハイレベル（非アクティブ状態）となる。

40

【0118】16ビットの圧縮データの先頭ビットから第4ビットまでがすべて“1”であれば、ANDゲート41から出力されるデコーダ選択信号DS1はハイレベルとなる。このとき、16ビットの圧縮データの第5ビットから第9ビットまでの少なくとも1つが“0”であれば、NANDゲート42から出力されるデコーダ選択信号DS3がハイレベルとなり、NANDゲート43から出力されるデコーダ選択信号DS2がローレベル（アクティブ状態）となる。

【0119】16ビットの圧縮データの先頭ビットから第9ビットまでがすべて“1”であれば、ANDゲート41から出力されるデコーダ選択信号DS1がハイレベルとなり、NANDゲート42から出力されるデコーダ選択信号DS3がローレベル（アクティブ状態）となる。このとき、NANDゲート43から出力されるデコーダ選択信号DS2をハイレベルとなる。

【0120】図6は、デコーダ回路51の構成を示すブロック図である。デコーダ回路51は、組合せ回路511、および6ビット以下のハフマン符号の数と同じ数の19ビットのレジスタ512を含む。

【0121】組合せ回路511には、16ビットの圧縮データの先頭ビットから第6ビットまでが与えられる。各レジスタ512には、ACハフマン符号に対応するハフマン符号長データHCL、ラン長データRL、付加ビット長データABLおよびトータルビット長データTBLが予め記憶される。また、エンドオブブロック符号EOBが、該当するレジスタ512に予め記憶される。

【0122】組合せ回路511に与えられるデータに従って、複数のレジスタ512の1つが選択され、選択されたレジスタ512からハフマン符号長データHCL、ラン長データRL、付加ビット長データABLおよびトータルビット長データTBLが出力される。選択されたレジスタ512にエンドオブブロック符号EOBが記憶されている場合には、エンドオブブロック符号EOBも出力される。

【0123】図7は、メモリテーブル52の構成を示すブロック図である。メモリテーブル52はスタティックRAM521からなる。

【0124】スタティックRAM521のアドレス線522には、16ビットの圧縮データの第5ビットから第12ビットまでがアドレス信号として与えられる。

【0125】スタティックRAM521のアドレス信号は8ビットであるので、スタティックRAM521のアドレス空間は2⁸ワードとなる。スタティックRAM521の各アドレスには、ハフマンAC符号に対応するラン長データRL、付加ビット長データABLおよびトータルビット長データTBLが予め記憶される。

【0126】スタティックRAM521のアドレス線522に与えられるデータに従って、データ線523を介してラン長データRL、付加ビット長データABLおよびトータルビット長データTBLが読出される。

【0127】図8は、メモリテーブル53の構成を示すブロック図である。メモリテーブル53はスタティックRAM531からなる。

【0128】スタティックRAM531のアドレス線532には、16ビットの圧縮データの第10ビットから第16ビットまでがアドレス信号として与えられる。

【0129】スタティックRAM531に与えられるアドレス信号は7ビットであるので、スタティックRAM

531のアドレス空間は2⁷ワードとなる。スタティックRAM531の各アドレスには、ACハフマン符号に対応するラン長データRL、付加ビット長データABLおよびトータルビット長データTBLが予め記憶される。

【0130】スタティックRAM531のアドレス線532に与えられるデータに従って、データ線533を介してラン長データRL、付加ビット長データABLおよびトータルビット長データTBLが読出される。

10 【0131】図9は、デコード回路54の構成を示すブロック図である。デコード回路54は、組合せ回路541、およびDCハフマン符号の数と等しい数の14ビットのレジスタ542を含む。

【0132】組合せ回路541には、16ビットの圧縮データの先頭ビットから第9ビットまでが与えられる。各レジスタ542には、DCハフマン符号に対応するハフマン符号長データHCL、付加ビット長データABLおよびトータルビット長データTBLが予め記憶される。

20 【0133】組合せ回路541に与えられるデータに従って、複数のレジスタ542の1つが選択され、選択されたレジスタ542からハフマン符号長データHCL、付加ビット長データABLおよびトータルビット長データTBLが出力される。

【0134】図6に示されるデコード回路51および図9に示されるデコード回路54の動作速度は、図7に示されるメモリテーブル52および図8に示されるメモリテーブル53の動作速度よりも1桁速い。上記実施例のように、デコードブロック5を構成することによって、ハフマン復号化回路の処理速度が高速になり、かつ回路規模が小さくなる。

【0135】

【発明の効果】以上のようにこの発明によれば、複数のハフマン符号を符号長に基づいて複数のグループに分類し、複数のグループに複数のデコード手段をそれぞれ割当てることにより、デコード手段の全体の容量および回路規模が小さくなる。

40 【0136】また、出現頻度の高い短い符号長のハフマン符号を高速動作が可能なロジック回路によりデコードし、かつ出現頻度の低い長い符号長のハフマン符号を回路規模が小さいメモリ素子によりデコードすることにより、全体として、高速動作が可能でかつ回路規模が小さいハフマン復号化回路が得られる。

【0137】さらに、付加ビット長およびトータルビット長からハフマン符号長を算出する演算手段をさらに設けることによって、各デコード手段の回路規模をさらに縮小することが可能となる。

【図面の簡単な説明】

50 【図1】この発明の実施例のハフマン復号化回路およびハフマン復号化方法におけるハフマン符号のグループ化

を示す図である。

【図2】各グループに属するハフマン符号のデコードの際にデコード回路またはメモリテーブルに与えられるビットを示す図である。

【図3】この発明の実施例のハフマン複合化回路の主要部の構成を示すブロック図である。

【図4】図3のハフマン複合化回路に含まれるデコーダブロックの詳細な構成を示すブロック図である。

【図5】図3のハフマン複合化回路に含まれるデコーダの詳細な構成を示す回路図である。

【図6】図4のデコーダブロックに含まれるデコード回路の構成を示すブロック図である。

【図7】図4のデコーダブロックに含まれるメモリテーブルの構成を示すブロック図である。

【図8】図4のデコーダブロックに含まれるメモリテーブルの構成を示すブロック図である。

【図9】図4のデコーダブロックに含まれるデコード回路の構成を示すブロック図である。

【図10】DCT方式の画像データ圧縮システムの基本構成を示すブロック図である。

【図11】画像データのブロック化を示す図である。

【図12】8×8画素ブロックおよびDCT変換されたブロックを示す図である。

【図13】8×8画素ブロックおよびDCT係数の一例を示す図である。

【図14】DCT係数、量子化DCT係数および量子化テーブルの関係を示す図である。

【図15】量子化テーブルの一例を示す図である。

【図16】量子化DCT係数の一例を示す図である。

【図17】DC係数のハフマン符号化を示すフロー図である。

【図18】DC差分値を説明するための図である。

【図19】DC差分値のグループ化を示す図である。

【図20】DC差分値のためのハフマン符号テーブルを示す図である。

【図21】DC差分値のための付加ビットを示す図である。

【図22】AC係数のハフマン符号化を示すフロー図で*

*ある。

【図23】ジグザグスキャンを説明するための図である。

【図24】AC係数のグループ化を示す図である。

【図25】AC係数のためのハフマン符号テーブルを示す図である。

【図26】AC係数のための付加ビットを示す図である。

【図27】ハフマン符号化の一例を示す図である。

10 【図28】圧縮データの構造を示す図である。

【図29】従来のハフマン複合化回路の主要部の構成を示すブロック図である。

【符号の説明】

1, 2 レジスタ

3 バレルシフタ

4 デコーダ

5 デコーダブロック

6 加算器

7 レジスタ

20 8 デコーダ

9 レジスタ

10 付加ビット抽出回路

11 コントロール回路

51, 54 デコード回路

52, 53 メモリテーブル

55 減算器

56 3ステートバッファ

57 ゲート回路

DS1, DS2, DS3 デコーダ選択信号

DCSL DC符号選択信号

LE1, LE2 ラッチイネーブル信号

HCL ハフマン符号長データ

ABL 付加ビット長データ

RL ラン長データ

EOB エンドオブブロック符号

AB 付加ビット

なお、各図中同一符号は同一または相当部分を示す。

【図1】

グループ	ハフマン符号長 HCL
G1	HCL ≤ 6ビット
G2	7ビット ≤ HCL ≤ 12ビット
G3	13ビット ≤ HCL ≤ 18ビット

【図15】

【量子化テーブル】

16	11	10	16	24	40	51	61
12	12	14	19	26	58	60	55
14	13	16	24	40	57	69	56
14	17	22	29	51	87	80	62
18	22	37	56	68	109	103	77
24	35	55	64	81	104	113	92
49	64	78	87	103	121	120	101
72	92	95	98	112	100	103	99

Quv

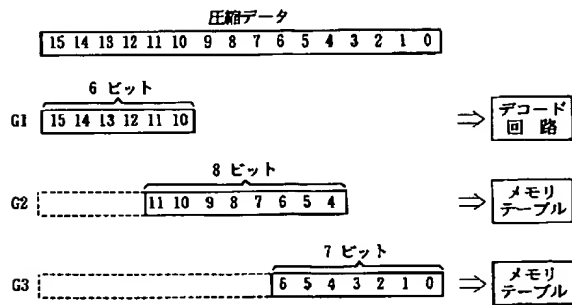
【図16】

【量子化DCT係数】

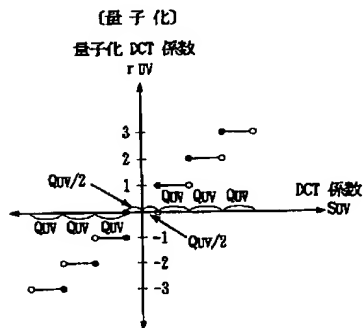
16	4	-2	0	0	0	0	0
-7	3	0	0	0	0	0	0
0	-1	0	0	0	0	0	0
-1	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0

r uv

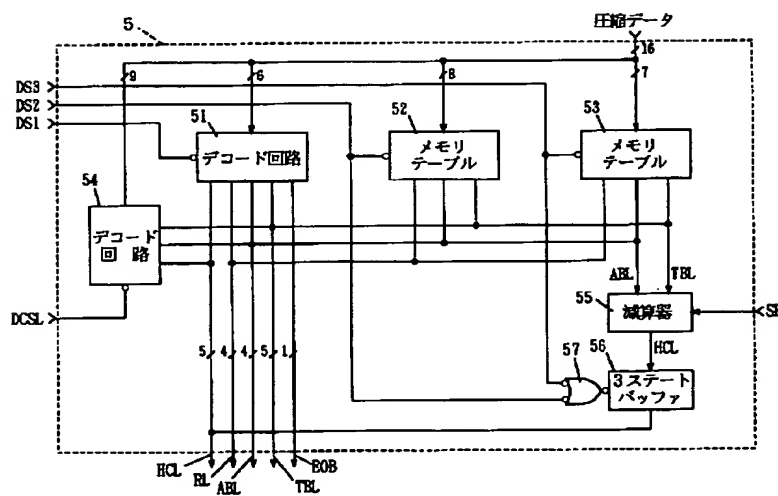
【図2】



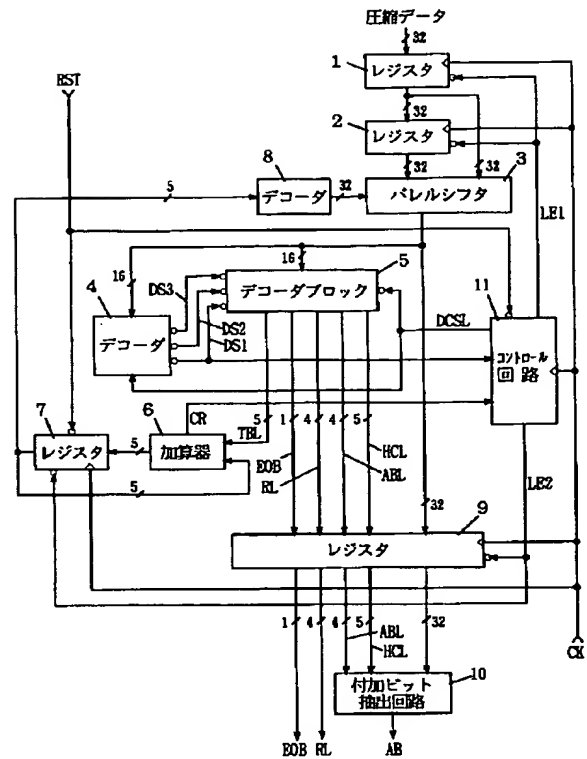
【図14】



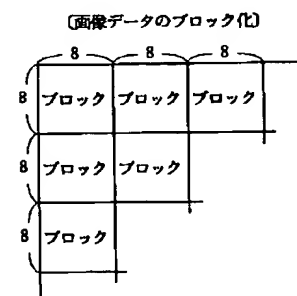
【図4】



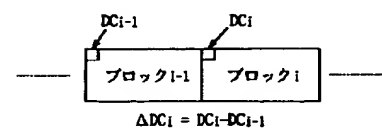
【図3】



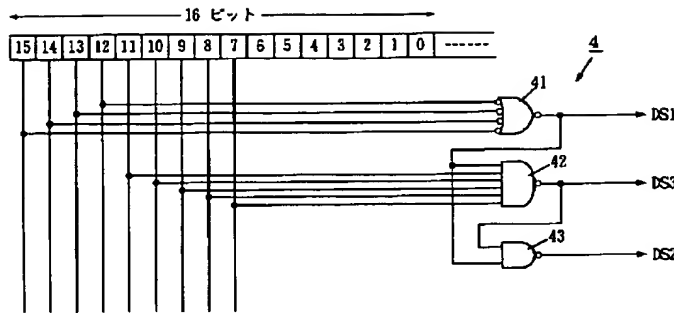
【図11】



【図18】

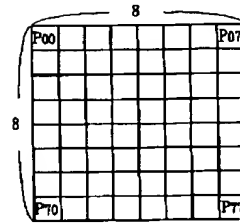


【図5】



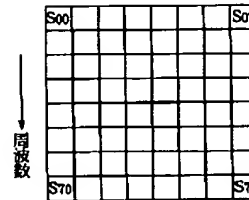
【図12】

(8×8画素ブロック)



DCT 変換

周波数

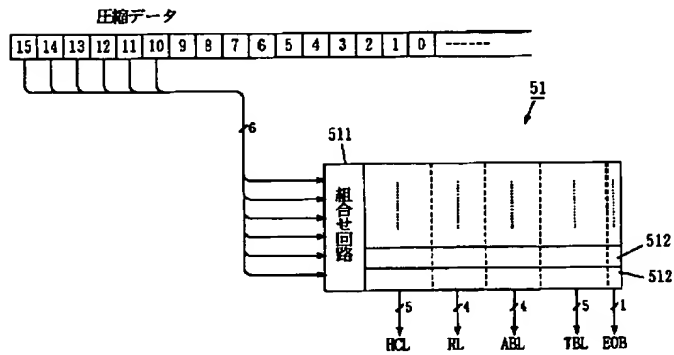


【図21】

〔DC差分値のための付加ビット〕
SSSS = 4

DC差分値	付加ビット
15	1111
14	1110
13	1101
12	1100
11	1011
10	1010
9	1001
8	1000
-8	0111
-9	0110
-10	0101
-11	0100
-12	0011
-13	0010
-14	0001
-15	0000

【図6】

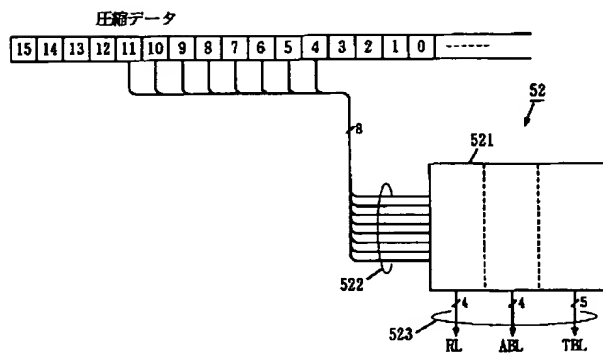


【図26】

〔AC係数のための付加ビット〕
SSSS = 2

有効係数	付加ビット
3	11
2	10
-2	01
-3	00

【図7】



【図13】

(8×8画素ブロック)

159	153	158	152	140	138	132	132
164	162	162	157	151	142	134	132
167	168	161	160	158	145	139	134
164	168	161	166	162	152	149	141
171	166	168	167	163	162	157	151
173	164	169	170	166	166	162	161
175	169	172	176	174	172	174	166
173	172	175	173	180	181	177	172

DCT 変換

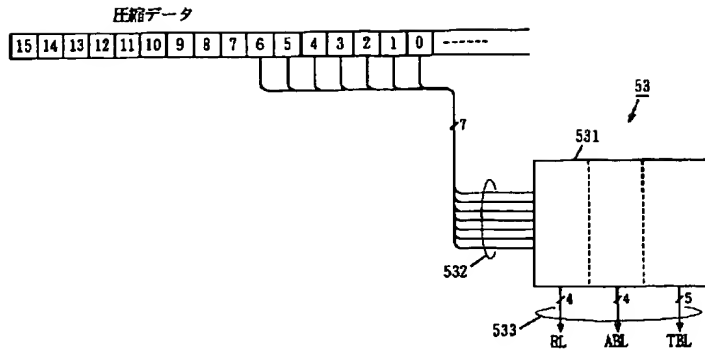
(DCT係数)

260	48	-16	5	2	4	0	1
-79	36	-2	-7	1	-3	-1	-2
0	-8	3	-2	-2	1	5	1
-8	-4	5	-4	1	7	6	-2
-2	-6	-1	0	-4	-1	0	-1
-3	-2	-1	-1	1	2	-5	-1
-4	-1	1	0	0	-2	2	0
1	1	1	1	-1	1	0	0

SSSS = 3

有効係数	付加ビット
7	111
6	110
5	101
4	100
-4	011
-5	010
-6	001
-7	000

【図8】

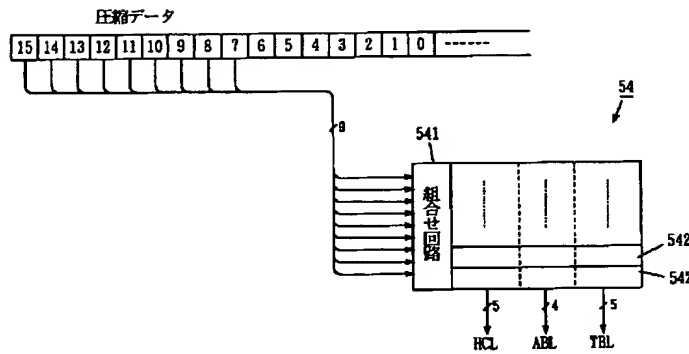


【図19】

[DC係数の差分値のグループ化]

SSSS グループ番号	DC差分値	付加ビット数
0	0	0
1	-1, 1	1
2	-3, -2, 2, 3	2
3	-7...-4, 4...7	3
4	-15...-8, 8...15	4
5	-31...-16, 16...31	5
6	-63...-32, 32...63	6
7	-127...-64, 64...127	7
8	-255...-128, 128...255	8
9	-511...-256, 256...511	9
10	-1023...-512, 512...1023	10
11	-2047...-1024, 1024...2047	11
12	-4095...-2048, 2048...4095	12
13	-8191...-4096, 4096...8191	13
14	-16383...-8192, 8192...16383	14
15	-32767...-16384, 16384...32767	15

【図9】

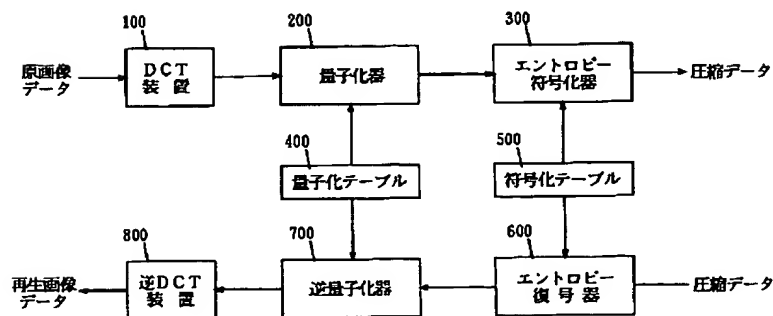


【図20】

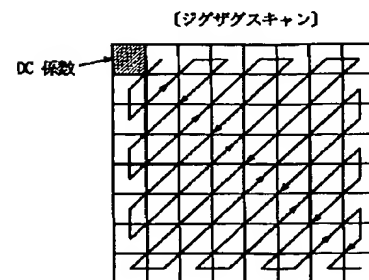
[DC差分値のためのハフマン符号テーブル]

SSSS	ハフマン符号長	ハフマン符号
0	2	00
1	3	010
2	3	011
3	3	100
4	3	101
5	3	110
6	4	1110
7	5	11110
8	6	111110
9	7	1111110
10	8	11111110
11	9	111111110

【図10】

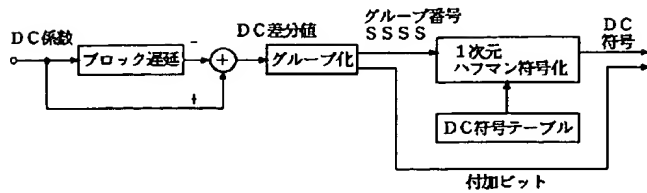


【図23】



【図17】

(DCT係数のハフマン符号化)



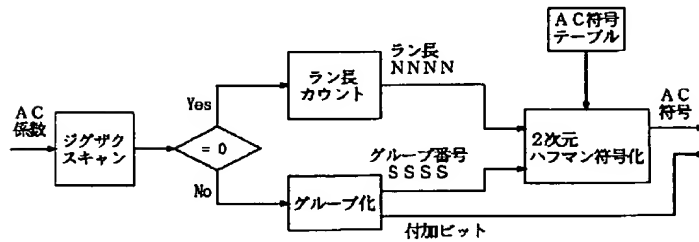
【図24】

(AC係数のグループ化)

SSSS グループ番号	AC係数	付加ビット数
1	-1, 1	1
2	-3, -2, 2, 3	2
3	-7...-4, 4...7	3
4	-15...-8, 8...15	4
5	-31...-16, 16...31	5
6	-63...-32, 32...63	6
7	-127...-64, 64...127	7
8	-255...-128, 128...255	8
9	-511...-256, 256...511	9
10	-1023...-512, 512...1023	10
11	-2047...-1024, 1024...2047	11
12	-4095...-2048, 2048...4095	12
13	-8191...-4096, 4096...8191	13
14	-16383...-8192, 8192...16383	14
15	-32767...-16384, 16384...32767	15

【図22】

(AC係数のハフマン符号化)

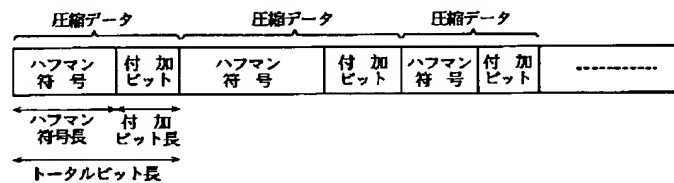


【図25】

(AC係数のためのハフマン符号テーブル)

シフト/グループ番号	ハフマン符号長	ハフマン符号
0/0 (ZRL)	4	1010
0/1	2	00
0/2	2	01
0/3	3	100
0/4	4	1011
0/5	5	11010
0/6	7	1111000
0/7	8	11111000
0/8	10	1111110110
0/9	16	1111111110000010
0/A	16	1111111110000011
1/1	4	1100
1/2	5	11011
1/3	7	1111001
1/4	9	111110110
1/5	11	11111110110
1/6	16	1111111110000100
1/7	16	1111111110000101
1/8	16	1111111110000110
1/9	16	1111111110000111
1/A	16	1111111110001000
F/0 (ZRL)	11	111111111001
F/1	16	111111111110101
F/2	16	111111111110110
F/3	16	111111111110111
F/4	16	111111111111000
F/5	16	111111111111001
F/6	16	111111111111010
F/7	16	111111111111011
F/8	16	111111111111100
F/9	16	111111111111101
F/A	16	111111111111110

【図28】



【図27】

- ① $DC_i = 16, DC_{i-1} = 25 \rightarrow \Delta DC_i = -9$
 $\rightarrow SSSS = 4$
 \rightarrow ハフマン符号 = 101, 付加ビット = 0110
- ② $r_{01} = 4 \rightarrow SSSS = 3, NNNN = 0$
 \rightarrow ハフマン符号 = 100, 付加ビット = 100
- ③ $r_{10} = 7 \rightarrow SSSS = 3, NNNN = 0$
 \rightarrow ハフマン符号 = 100, 付加ビット = 000
- ④ $r_{20} = 0, r_{11} = 3 \rightarrow SSSS = 2, NNNN = 1$
 \rightarrow ハフマン符号 = 11011, 付加ビット = 11
- ⑤ $r_{02} = -2 \rightarrow SSSS = 2, NNNN = 0$
 \rightarrow ハフマン符号 = 01, 付加ビット = 01
- ⑥ $r_{03} = r_{12} = 0, r_{21} = -1 \rightarrow SSSS = 1, NNNN = 2$
 \rightarrow ハフマン符号 = 11100, 付加ビット = 0
- ⑦ $r_{30} = -1 \rightarrow SSSS = 1, NNNN = 0$
 \rightarrow ハフマン符号 = 00, 付加ビット = 0
- ⑧ EOB \rightarrow ハフマン符号 = 1010

符号化データ = 1 0 1 0 1 1 0 1 0 0 1 0 0 1 0 0 0 0 0
 1 1 0 1 1 1 1 0 1 0 1 1 1 1 0 0 0 0 0 0 1 0 1 0

1

